

**M
E
N
U**

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

[Generate Collection](#)

L3: Entry 3 of 4

File: JPAB

Feb 3, 1987

PUB-NO: JP362025349A
DOCUMENT-IDENTIFIER: JP 62025349 A
TITLE: CACHE MEMORY DEVICE

PUBN-DATE: February 3, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIRAI, KENJI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	

APPL-NO: JP60162968

APPL-DATE: July 25, 1985

INT-CL (IPC): G06F 12/08

ABSTRACT:

PURPOSE: To rearrange data with a specific byte length on a right justification basis by accessing one data memory part within a storage unit area and also accessing the other within a succeeding storage unit area including byte addresses.

CONSTITUTION: The intermediate-order bits of a data address are stored in the 2nd boundary address register 23, the low-order four bits are stored in a data address low-order bit register 24, and a data byte length signal is set in a data byte length register 4. Simultaneously, a data start byte address and the data byte length are added by an adder 21 and the intermediate-order bits are set in the 1st boundary address register 22. The contents of the register 22 and 23 are sent to the 1st and the 2nd data memory parts 25 and 26 to read data simultaneously. The read data are justified by a multiplexer circuit 27 by necessary byte length for left justification from the data start byte address and held in a data register 8.

COPYRIGHT: (C)1987, JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑯ 公開特許公報 (A)

昭62-25349

⑮ Int.Cl.⁴

G 06 F 12/08

識別記号

庁内整理番号

M-8219-5B

⑯ 公開 昭和62年(1987)2月3日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 キヤツシユメモリ装置

⑰ 特願 昭60-162968

⑰ 出願 昭60(1985)7月25日

⑯ 発明者 白井 健治 鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内

⑰ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑰ 代理人 弁理士 曽我道照 外4名

明細書

1 発明の名称

キヤツシユメモリ装置

2 特許請求の範囲

データ開始バイトアドレスおよびデータバイト長が指定され、前記データ開始バイト長分のデータを前記データ開始バイトアドレスを先頭に整地して出力させるキヤツシユメモリ装置において、前記キヤツシユメモリ装置は2個の等分割されたデータメモリ部を備え、前記データメモリ部の一方は前記データ開始バイトアドレスを含む格納単位領域内でアクセスされ、その他方は前記データ開始バイトアドレスと前記データバイト長との加算結果に基づくバイトアドレスを含む次続の格納単位領域内で同時にアクセスされるようにしたキヤツシユメモリ装置。

3 発明の詳細な説明

〔産業上の利用分野〕

この発明は、データ開始バイトアドレスとデータバイト長とが指定されて、そのデータ開始バ

トアドレスより左詰めに整地された前記指定データバイト長分のデータを外部に供給するキヤツシユメモリ装置に関するものである。

〔従来の技術〕

第2図は従来のキヤツシユメモリ装置の概略構成図であり、この第2図において、(1)はデータアドレス上位ビットを保持するレジスタで、アンシアティブデイレクトメモリ部で使用される。(2)はデータアドレス中位ビットを保持するレジスタで、カウントアップ機能を有する。(3)はデータアドレス下位ビットを保持するレジスタ。(4)はデータのバイト長を保持するレジスタで実際に必要なバイト長から1を減じた値が保持される。(5)はデータアドレス下位ビットレジスタ(3)とデータバイト長レジスタ(4)の内容を加算し、桁上げが発生するか否かを調べ、データアドレス中位ビットレジスタ(2)のカウントアップの制御を行なうカウントアップ制御回路。(6)はキヤツシユメモリのデータメモリ部であり、こゝでは、ノエントリ8バイトのデータ巾にされている。(7)はデータメモリ部(6)

から読み出された 8 バイトのデータをデータ開始バイトアドレスより左詰めに整地するマルチブレクサ回路。(8)はマルチブレクサ回路(7)の出力を保持するデータレジスタ。(9)はデータレジスタ(8)のクロックとマルチブレクサ回路(7)の出力制御を行なうデータ整地制御回路である。

次に動作について説明する。まず、データアドレス中位ビットレジスタ(2)の内容がデータメモリ部(6)に送られデータの読み出しが行なわれる。それと同時に、データアドレス下位ビットレジスタ(3)の内容とデータバイト長レジスタ(4)の内容とがカウントアップ制御回路(5)に送られ、これらの加算が行なわれて、桁上げの有無が調べられる。例えば、データ開始バイトアドレスが 00000PA 番地(16 進数)であつて、データバイト長が 4 であるときには、データアドレス下位ビットレジスタ(3)の内容は 010(2 進数)であるため、加算の結果としての桁上げは生じない。この桁上げがないときには、読み出されたデータはマルチブレクサ回路(7)で左詰めに整地され、データバイト長

レジスタ(8)の下位 2 バイト位置にセットされる。この時点で、必要なバイト長のデータが、そのデータ開始バイトアドレスを先頭に左詰めに整地されてそろえられたことになり、これがデータの要求元。(例えば、図示されない演算装置)に対して送られる。

なお、この従来例において、データメモリ部(6)はページ単位で分割されており、各ページには 8 バイト分のデータが格納できるようにされている。そして、第 2 図に示されている例は、ページ(00R8)には 6 バイト分のデータが格納されており、これに続くページ(0100)には 2 バイト分のデータが格納されている場合のことである。

〔発明が解決しようとする問題点〕

従来のキヤツシユメモリ装置は、そのデータメモリ部が以上のように構成されているので、ページの境界をとえない任意のバイト境界から始まる所定のバイト長分のデータを読み出す操作において、対象のデータが前記データメモリ部の格納単位であるページの境界にまたがつて存在するとき、

分だけ出力される。この場合、右側の残りの 4 バイトはゼロが出力されて、データレジスタ(8)に保持される。

上記された例において、データバイト長が 8 であるときには、カウントアップ制御回路(5)は桁上げを検知し、データアドレス中位ビットレジスタ(2)に対してカウントアップ制御信号を送る。一方、読み出されたデータは、マルチブレクサ回路(7)で左詰めに整地されるが、この例では、必要バイト長の中の 6 バイト分が取り出されるだけである。そして、この 6 バイト分のデータが、データレジスタ(8)の上位 6 バイト位置に保持される。この制御は、データ整地制御回路(9)がデータアドレス下位ビットとデータバイト長とを解読して所定のクロック制御信号を発することによりなされる。次のサイクルでは、データアドレス中位ビットレジスタ(2)の内容がカウントアップされていて、残りのデータの読み出しのために使われる。そして、読み出された残りの 2 バイト分のデータは、再びマルチブレクサ回路(7)により整地されて、データ

すなわち、互いに隣接する 2 個の格納単位領域内に分れて存在するときには、データ全体をそろえるため、2 回の読み出し動作が必要であり、また、データ読み出しのために必要な時間が倍加され、ひいては装置全体の処理性能を著しく低下させるという問題点があつた。

この発明は上記のような問題点を解決するためになされたもので、ページの境界をとえない任意のバイト境界から始まる所定のバイト長分(例えば 8 バイト)のデータをデータ開始バイトアドレスより左詰めに整地してそろえることができ、常に 1 サイクルの動作時間内に前記データを読み出すことができるキヤツシユメモリ装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るキヤツシユメモリ装置は、指定されたデータバイト長のデータが、指定されたデータ開始バイトアドレスを先頭にして、例えば左詰めのような整地処理をしてから出力させるものであつて、これには 2 個の等分割されたデータメ

モリ部が備えられているものである。

〔作用・用意〕

この発明によれば、前記データメモリ部の一方は前記データ開始バイトアドレスを含む格納単位領域内でアクセスされ、その他方は前記データ開始バイトアドレスと前記データバイト長との加算結果に基づくバイトアドレスを含む次続の格納単位領域内で同時にアクセスされる。

〔実施例〕

以下、この発明の一実施例を第1図について説明する。この第1図において、(1)は加算器であつて、データ開始バイトアドレスとデータバイト長(この例では、実際に必要なバイト数から)を減じたものであり、最大8バイトにされている)とを加算するためのもの。(2)は第1境界アドレスレジスタであつて、加算器(1)からの出力のビット19~27をデータアドレス中位ビットとして保持するもの。(3)は第2境界アドレスレジスタであつて、データ開始バイトアドレスの中位ビットであるビット19~27を保持するもの。

スの上位ビット、第2境界アドレスレジスタ(3)には、その中位ビット、データアドレス下位ビットレジスタ(4)には、その下位4ビットが入れられる。また、データバイト長レジスタ(4)にはデータバイト長信号が入れられる。これと同時に、前記されたデータ開始バイトアドレスおよびデータバイト長は加算器(1)により加算され、その加算結果の中位ビット(この例では、ビット19から27)が第1境界アドレスレジスタ(2)に入れられる。そして、第1境界アドレスレジスタ(2)の内容は第1データメモリ部(5)に送られ、また、第2境界アドレスレジスタ(3)の内容は第2データメモリ部(6)に送られて、データの読み出しが同時に実行される。例えば、データ開始バイトアドレスが00010A番地(16進数)であり、データバイト長レジスタ(4)の内容が7(実際のデータバイト長は8)であるものとすれば、第2境界アドレスレジスタ(3)はアドレス000108番地から始まる格納単位領域、すなわちページ(108)における8バイトのデータを

(24)はデータアドレス下位ビットレジスタであつて、データ開始バイトアドレスの下位4ビットを保持するもの。(25)はキャッシュメモリの第1データメモリ部であつて、偶数境界アドレスに位置するデータを格納するもの(この例では、8バイト単位にされている)。(26)はキャッシュメモリの第2データメモリ部であつて、奇数境界アドレスに位置するデータを格納するもの。(27)はマルチプレクサ回路であつて、第1データメモリ部(25)と第2データメモリ部(26)とから同時に読み出されたデータをデータ開始バイトアドレスより左詰めに最大8バイトだけ整地するためのものである。なお、(1)、(4)、(8)および(9)なる符号が付されているものは、第2図の従来例において夫々に同一符号が付されているものと同一または相当部分を示すものである。

次に動作について説明する。データ要求元(例えば演算装置)より送られてきたデータ開始バイトアドレスとデータバイト長信号は、夫々に、以下のように加えられる。すなわち、データアドレ

指定し、第1境界アドレスレジスタ(2)はアドレス000110番地から始まる格納単位領域、すなわち次に続くページ(110)における8バイトのデータを指定することになる。このようにして、2つの独立した境界アドレスレジスタにより指定された2つの独立したデータメモリ部から読み出されるデータは、それがデータメモリ部の格納単位領域の境界をこえて格納されているものであるときには、常に、そのデータ開始バイトアドレスを含む格納単位領域と、これに続く、次の格納単位領域とに入れられることになる。そして、いまの例においては、実際に必要なデータはアドレス00010A番地より000111番地までの8バイト分である。

このようにして読み出されたデータは、マルチプレクサ回路(27)でデータ開始バイトアドレスより左詰めに必要なバイト長分だけ整地され、データレジスタ(8)に保持される。

なお、上記実施例で説明した各レジスタのビット長や、境界の単位は単なる例示であり、この發

明の本質とは直接関係しない。

〔発明の効果〕

以上説明されたように、この発明によるキャッシュメモリ装置は、指定されたデータバイト長のデータが、指定されたデータ開始バイトアドレスを先頭にして、例えば左詰めのような整地処理をしてから出力させるものであつて、これには2個の等分割されたデータメモリ部を備えるように構成されており、前記データメモリ部の一方は前記データ開始バイトアドレスを含む格納単位領域内でアクセスさせ、その他方は前記データ開始バイトアドレスと前記データバイト長との加算結果に基づくバイトアドレスを含む次続の格納単位領域内で同時にアクセスされるものであるために、従来のこの種の装置に比べて、格納単位領域の境界をこえて格納されているデータを短かい時間で読み出すことが可能にされ、整地処理も速やかに行なわれて、装置全体の処理効率が大幅に改善されるという効果が表せられる。

4 図面の簡単な説明

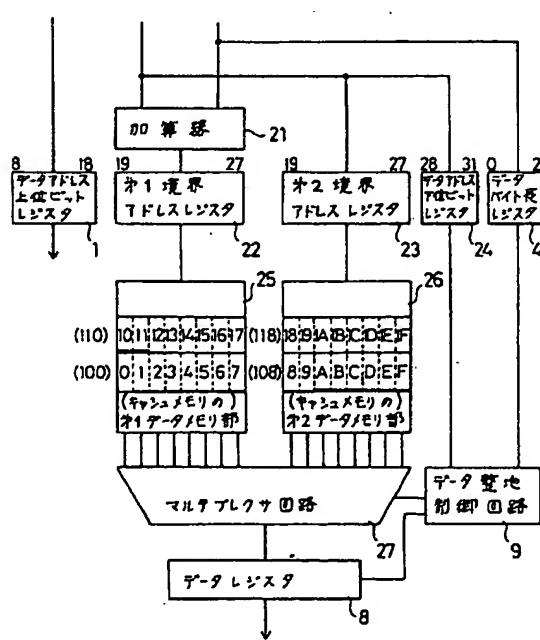
第1図は、この発明の一実施例によるキャッシュメモリ装置の概略構成図。第2図は、従来のキャッシュメモリ装置の概略構成図である。

(1)はデータアドレス上位ビットレジスタ、(2)はデータアドレス中位ビットレジスタ、(3)、(24)はデータアドレス下位ビットレジスタ、(4)はデータバイト長レジスタ、(5)はカウントアップ制御回路、(6)はデータメモリ部、(7)、(27)はマルチプレクサ回路、(8)はデータレジスタ、(9)はデータ整地制御回路、(21)は加算器、(22)、(23)は第1、第2アドレスレジスタ、(25)、(26)は第1、第2データメモリ部。

なお、各図中、同一符号は同一または相当部分を示す。

代理人 曽我道照

第1図



第2図

